

STATEMENT OF RELEVANCY FOR JP 11-184801

This document was cited in one of the related applications listed in paragraph [0001] of the specification -- i.e., in the Cross-Reference to Related Applications section.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-184801

(43)公開日 平成11年(1999)7月9日

(51)Int.Cl.⁶

G 0 6 F 13/36
13/12

識別記号

3 1 0
3 3 0

F I

G 0 6 F 13/36
13/12

3 1 0 F
3 3 0 F

1

【特許請求の範囲】

【請求項1】 第1のデータバスに接続されてデータを入出力する双方向性の第1のインターフェース部と、第2のデータバスに接続されてデータを入出力する双方向性の第2のインターフェース部と、前記第1及び第2のインターフェース部間に接続された内部データバスと、前記第1のインターフェース部、第2のインターフェース部及び内部データバスを入出力制御するための制御命令を一時記録する制御用のメモリとを備え、前記第1及び第2のデータバス間でデータを転送するとき、前記制御用のメモリに制御命令が書き込まれるようになされたことを特徴とするインターフェース装置。

【請求項2】 前記制御命令を記録する制御用のメモリが設けられる場合であって、前記制御命令に関して実行されたデータ転送結果を示す制御通知情報が前記制御用のメモリに一時記録するようになされたことを特徴とする請求項1記載のインターフェース装置。

【請求項3】 前記制御命令を記録する制御用のメモリと、前記第1及び第2のインターフェース部とが設けられる場合であって、

前記第1のインターフェース部によって入出力されるデータを一時記録するデータ用の第1のメモリと、前記第2のインターフェース部によって入出力されるデータを一時記録するデータ用の第2のメモリとが設けられ、

前記制御用のメモリに記録された制御命令に基づいて前記第1及び第2のメモリのデータ書き込み読み出し制御を行うようになされたことを特徴とする請求項1記載のインターフェース装置。

【請求項4】 前記制御命令を記録する制御用のメモリと、

前記第1及び第2のインターフェース部間に接続する内部データバスとが設けられる場合であって、

前記内部データバスから分岐した分岐データバスが設けられ、

前記分岐データバスにメモリ制御手段が接続され、前記第1及び第2のインターフェース部によって入出力されるデータが前記制御命令に基づいて書き込み読み出し制御されるようにしたことを特徴とする請求項1記載のインターフェース装置。

【請求項5】 前記制御命令を記録する制御用のメモリと、

前記第1、第2のインターフェース部及び前記メモリ制御手段とが設けられる場合であって、

前記第1のインターフェース部によって入出力されるデータを一時記憶するデータ用の第1のメモリと、

前記第2のインターフェース部によって入出力されるデータを一時記憶するデータ用の第2のメモリと、

夕を一時記憶するデータ用の第2のメモリと、前記メモリ制御手段によって書き込み読み出し制御されるデータを一時記憶するデータ用の第3のメモリとが設けられ、前記制御用のメモリに記録された制御命令に基づいて、前記第1、第2及び第3のメモリのデータ書き込み読み出し制御を行うようになされたことを特徴とする請求項4記載のインターフェース装置。

【請求項6】 データ用のメモリと第1のデータバスとの間でのデータの書き込み読み出をし、前記メモリと第2のデータバスとの間でのデータの書き込み読み出をし、及び、前記第1のデータバスと第2のデータバスとの間でのデータ転送を行うに際して、

前記メモリ、第1及び第2のデータバス間に3方向性のインターフェース手段を配置し、前記インターフェース手段内に制御用のメモリを設け、前記制御用のメモリに制御命令を書き込むようになされたことを特徴とするデータ処理システム。

【請求項7】 前記第1及び第2のデータバスに接続される3方向性のインターフェース手段が設けられる場合であって、

前記3方向性のインターフェース手段は、前記第1のデータバスに接続されてデータを入出力する双方向性の第1のインターフェース部と、第2のデータバスに接続されてデータを入出力する双方向性の第2のインターフェース部と、前記第1及び第2のインターフェース部間に接続された内部データバスと、

前記内部データバスから分岐した分岐データバスと、前記分岐データバスに接続されてデータの書き込み読み出し制御をするメモリ制御手段と、前記第1のインターフェース部、第2のインターフェース部、内部データバス及びメモリ制御手段を入出力制御するための制御命令を一時記録する制御用のメモリとを有することを特徴とする請求項6記載のデータ処理システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は複写機やプリンタ、ファクシミリなどの画像処理装置に適用して好適なインターフェース装置及びデータ処理システムに関する。詳しくは、データ転送に関する制御命令をインターフェース装置内に設けられた制御用のメモリに書き込み、この制御命令が書き込まれた後は、その制御命令に基づいて2つのデータバス間でデータ転送を行うようにして、システムの上位の制御装置などのデータ処理負担を軽減できるようにしたものである。

【0002】

【従来の技術】近年、原稿画像から取得した画像データに基づいて画像形成を行うデジタル複写機が使用される

に至っている。この種の複写機では原稿の画像情報がスキャナ等により読み込まれ、その原稿の画像情報が一旦、画像メモリに蓄えられる。そして、該画像メモリに蓄えられた画像情報はユーザの要求に応じて画像の縮小、拡大及び回転などの画像処理が施される。これにより、画像処理された画像データに基づいてその原稿の画像を所定の転写紙に複写することができる。

【0003】ところで、この種のデジタル複写機では原稿の画像情報を一旦蓄積するために大容量のメモリが設けられ、その画像情報を効率良くデータ転送する技術が必要になる。

【0004】図7はこの種の画像メモリを用いた従来方式の画像形成装置500の構成例を示すブロック図である。この画像形成装置500は図7に示すCPUバス1を有している。このCPUバス1には、システム制御手段2、画像メモリ3、ダイレクトメモリアクセスコントローラ（以下単にDMACという）4、画像取得手段5及び画像再生手段6とが接続されている。

【0005】このCPUバス1に接続されたシステム制御手段2はCPU2a, ROM2b, RAM2c及び操作部2dを有している。CPU2aは画像形成装置500の全体制御を行うICで、その制御プログラムはROM2bに格納されている。RAM2cはCPU2aが演算を行うときに、一時的に使用されるメモリで、制御プログラムの実行上必要になるものである。

【0006】例えば、画像取得手段5や画像再生手段6に起動指示などの制御命令が出力されたとき、CPU2aによってRAM2cにその制御命令が書き込まれ、その後、画像データの書き込み終了通知などがあった場合にこの制御命令に対するものかが照合される。

【0007】また、操作部2dはユーザと本装置との間のインターフェースに必要なものであり、この指示によりCPU2aは所定のデータ処理を実行する。CPUバス1に接続された画像メモリ3は複数ページ分の容量をもつ比較的大きな容量のメモリで、図示しないが符号化処理を行うことにより符号データの蓄積も行われる。DMAC4はCPU2aの介在なしに各デバイス間のデータ転送を実行するもので、CPU2aに比べ高速にデータ転送を行うことができる。

【0008】このCPUバス1に接続された画像取得手段5はスキャナ用インターフェース5a、スキャナ部5b及びページメモリ5cを有している。スキャナ用インターフェース5aはスキャナ部5bの駆動制御及びページメモリ5cにおける画像データ（DATA）の書き込み読み出し制御を行うものである。ページメモリ5cはスキャナ部5bからの画像データを1ページ分格納するメモリで、スキャナ部5bとCPU2aのデータ転送速度の整合及びCPUバス1の使用効率の向上のため必要になるものである。

【0009】更に、CPUバス1に接続された画像再生

手段6はプリンタ用インターフェース6a、ページメモリ6b及びプリンタ部6cを有している。プリンタ用インターフェース6aはプリンタ部6cの駆動制御及びページメモリ6bにおける画像データの書き込み読み出し制御を行うものである。ページメモリ6bはプリンタ部6cへの書き込みデータを1ページ分格納するメモリで、プリンタ6cとCPU2aのデータ転送速度の整合及びCPUバス1の使用効率の向上のため必要になるものである。

【0010】次に、画像形成装置500の動作を説明する。始めに、單一原稿時のコピー動作について説明する。まず、操作部2dから1ページコピーの指示を受けると、CPU2aから画像取得手段5へスキャナ駆動が指示される。この指示を受けたスキャナ用インターフェース5aではスキャナ部5bが駆動されると共に、スキャナ部5bから原稿の画像データが取得され、その画像データが順次ページメモリ5cに格納される。1ページ分の画像データがページメモリ5cに格納されると、スキャナ用インターフェース5aはCPU2aに対して画像データの読み取り終了を通知する。

【0011】この通知を受けたCPU2aからDMAC4に対して、スキャナ用インターフェース5aからプリンタ用インターフェース6aへ画像データを転送するように指示が与えられる。そして、1ページ分の画像データがスキャナ用のページメモリ5cからプリンタ用のページメモリ6bに転送される。この1ページの画像データの転送が終わると、DMAC4からCPU2aに対して、転送終了が通知される。この通知を受けたCPU2aから画像再生手段6へプリンタ駆動が指示される。この指示を受けたプリンタ用インターフェース6aによって、ページメモリ6bから画像データが読み出され、その画像データがプリンタ部6cに出力される。プリンタ部6cでは1ページの画像データに基づいて、原稿の画像を転写紙などに複写することができる。

【0012】次に、複数枚の原稿を複数部コピーするときの動作について説明する。まず、操作部2dからの指示を受けたCPU2aによって画像取得手段5に対してスキャナ駆動が指示される。この指示を受けたスキャナ用インターフェース5aでは、スキャナ部5bによって取得された1ページ分の画像データがページメモリ5cに格納されると、その後、スキャナ用インターフェース5aからCPU2aへ1ページ分の画像データの読み取り終了が通知される。この通知を受けたCPU2aからDMAC4にデータ転送が指示されるので、ページメモリ5cに格納された画像データが画像メモリ3に転送される。

【0013】この一連の動作が原稿枚数分だけ繰り返され、全ての画像データが画像メモリ3に蓄積される。その後、蓄積された画像データはCPU2aの指示によりプリンタ用インターフェース6aに転送される。このと

き、DMA4により1ページ分の画像データが画像メモリ3からプリンタ用のページメモリ6dに格納されると、CPU2aからプリンタ用インターフェース6aに対してプリンタ起動が指示される。

【0014】この指示を受けたプリンタ用インターフェース6aによって1ページ分の画像データがプリンタ部6cに出力されると、CPU2aに対して印刷終了が通知される。この通知を受けたCPU2aからDMA4へ次ページの画像データの転送が指示され、その印刷が開始される。

【0015】この一連の動作が原稿枚数分だけ繰り返されるので、最初の1部のコピーが完了する。この例ではCPU2aに対して複数部のコピーが指示されているので、DMA4に対して、再度1ページ目の画像データを画像メモリ3からプリンタ用インターフェース6aへ転送するように指示される。これ以降は、同一動作を設定された部数分だけ繰り返すことにより、複数部のコピーを行うことができる。

【0016】

【発明が解決しようとする課題】ところで、従来方式の画像形成装置500によれば、CPU2aによって、スキャナ用インターフェース5aやプリンタ用インターフェース6aに起動指示などの制御命令が outputされ、その後、画像データの書き込みや読み出しの終了通知などがあると、この制御命令に対するものかを照合する方式が採られる場合があるので、予めRAM2cなどにその制御命令を書き込んで保持して置く必要がある。

【0017】従って、スキャナ用インターフェース5aやプリンタ用インターフェース6aに起動指示などの制御命令が出力されてから、この制御命令に対する終了通知があるまで、その制御命令がRAM2cに記録されているかを常に確認しなくてはならない。これにより、スキャナ用インターフェース5aやプリンタ用インターフェース6aの入出力管理のためのフロー処理が必要となって、CPU(以下制御装置ともいう)2aのデータ処理負担が増加するという問題がある。

【0018】そこで、この発明は上述した課題を解決したものであって、データ転送に関して、システム上位の制御装置などのデータ処理負担を軽減できるようにしたインターフェース装置及びデータ処理システムを提供することを目的とする。

【0019】

【課題を解決するための手段】上記問題点を解決するために、本発明に係るインターフェース装置は第1のデータバスに接続されてデータを入出力する双方向性の第1のインターフェース部と、第2のデータバスに接続されてデータを入出力する双方向性の第2のインターフェース部と、第1及び第2のインターフェース部間に接続された内部データバスと、第1のインターフェース部、第2のインターフェース部及び内部データバスを入出力制御するため

の制御命令を一時記録する制御用のメモリとを備え、第1及び第2のデータバス間でデータを転送するときに、制御用のメモリに制御命令が書き込まれるようになされたことを特徴とする。

【0020】本発明のインターフェース装置によれば、制御用のメモリに一旦、制御命令が書き込まれた後は、その制御命令に基づいて第1のインターフェース部、第2のインターフェース部及び内部データバスを入出力制御することができるので、本インターフェース装置に接続された制御装置と独立して第1及び第2のデータバス間でデータを転送することができる。

【0021】従って、制御命令を書き込んだ後は、その制御装置自らが本インターフェース装置の入出力を管理しなくても済むので、システム上位の制御装置などのデータ処理負担を軽減することができる。

【0022】本発明に係るデータ処理システムは、データ用のメモリと第1のデータバスとの間でのデータの書き込み読み出をし、そのメモリと第2のデータバスとの間でのデータの書き込み読み出をし、及び、第1のデータバスと第2のデータバスとの間でのデータ転送を行って、メモリ、第1及び第2のデータバス間に3方向性のインターフェース手段を配置し、インターフェース手段内に制御用のメモリを設け、制御用のメモリに制御命令を書き込むようになされたことを特徴とする。

【0023】本発明に係るデータ処理システムによれば、制御用のメモリに制御命令を書き込んだ後は、その制御装置自らが本インターフェース装置の入出力を管理しなくても済むので、その制御装置のデータ処理負担を軽減することができる。

【0024】

【発明の実施の形態】以下、図面を参照しながら、この発明の実施形態としてのインターフェース装置及びデータ処理システムについて説明をする。

【0025】(1)インターフェース装置の構成例

図1は、この実施形態としてのインターフェース装置の構成例を示す図である。

【0026】本実施の形態では、データ転送に関する制御命令をインターフェース装置内に設けられた制御用のメモリに書き込み、この制御命令が書き込まれた後は、その制御命令に基づいて2つのデータバス間でデータ転送を行うようにして、制御装置のデータ処理負担を軽減できるようにしたものである。

【0027】このインターフェース装置100は図1に示す第1のデータバス11及び第2のデータバス12の間に接続されて使用される。データバス11には双方向性の第1のインターフェース部13が接続され、このデータバス11との間でデータが入出力される。インターフェース部13の内部への出力段にはデータ用の第1のメモリとしてのFIFOメモリ14aが接続され、データバス11から入力されたデータが一時記録される。FIFO

メモリ14aは2つのデータバス間のデータ転送速度を整合するために必要となる。FIFOメモリ14aによるデータは最初に入力されたものから最初に出力される。

【0028】FIFOメモリ14aの出力段には内部データバス15aを介在して第2のインターフェース部16が接続される。インターフェース部16の外部への出力段にはデータバス12が接続され、データバス11からのデータがデータバス12に出力される。

【0029】また、インターフェース部16の内部への出力段にはデータ用の第2のメモリとしてのFIFOメモリ14bが接続され、上述した理由からデータバス12より入力されたデータが一時記録される。このデータは最初に入力されたものから、最初に出力される。このFIFOメモリ14bの出力段には内部データバス15bを介在してインターフェース部13が接続される。インターフェース部13の外部への出力段にはデータバス11が接続され、データバス12からのデータがデータバス11に出力される。

【0030】更に、上述の2つのインターフェース部13及び16間には制御用のメモリ17が接続され、例えばこのインターフェース装置100を含めたデータ処理システムを構築したときに、そのシステム上位の制御装置などからの制御命令D1が一時記録される。この例で制御用のメモリ17はコマンドレジスタ17a及びステータスレジスタ17bを有している。上述の制御命令D1はこのコマンドレジスタ17aに記録される。

【0031】このインターフェース装置100へのアクセス方法には、一義的に決めたチップセレクト信号を使用する方法や、アドレスデコード方式を使用する方法などが考えられる。アドレスデコード方式は予めROMなどにマッピングされたアドレスAddをアクセス時に制御装置などによって、データバス11上にそのアドレスをドライブする。これにより、インターフェース装置100内のアドレスレジスタに設定するようにして、そのインターフェース装置100内でアドレスをデコードすることによりアクセスを受け付ける方法である。以降の説明では、後者の場合を想定して説明をする。

【0032】例えば、インターフェース部13又はインターフェース部16内にはインターフェース制御部18が設けられ、コマンドレジスタ17aに記録された制御命令D1に基づいてFIFOメモリ14a, 14bのデータ書き込み読み出し制御が行われ、しかも、インターフェース部13、16、内部データバス15a, 15bの入出力が制御される。

【0033】インターフェース制御部18には図2に示すアドレスレジスタ18a, デコーダ18b, タイミング発生回路18cなどが設けられる。アドレスレジスタ18aには、アクセス時に本インターフェース装置100宛のアドレスが設定される。本インターフェース装置100

10 宛のアクセスであるかは、そのアドレスがデコーダ18bによって解読されることで判断される。このデコーダ18bは制御命令D1の解読にも使用される。この制御命令D1のデコード結果に基づいてタイミング発生回路18cではスイッチ制御信号S1～S4が発生される。

【0034】スイッチ制御信号S1はインターフェース部13のバス切換えに使用され、スイッチ制御信号S2はインターフェース部16のバス切換えに使用される。メモリ制御信号S3はFIFOメモリ14aの書き込み読み出しに使用され、メモリ制御信号S4はFIFOメモリ14bの書き込み読み出しに使用される。

【0035】ステータスレジスタ17bには制御通知情報が一時記録される。この制御通知情報は制御命令D1に関して実行されたデータ転送結果などを示す終了ステータスデータD2のようなものであり、システム上位の制御装置などはこの終了ステータスデータD2を受信することで、先にインターフェース装置100に与えた制御命令D1に対するデータ処理が終了したかを判断することができる。

【0036】次に、図2を参照しながら、インターフェース装置100の動作を説明する。この例ではデータバス11, 12間でデータ転送をするときに、コマンドレジスタ17aに制御命令D1が書き込まれるようになされたものである。

【0037】例えば、データバス11からデータバス12へデータを転送する場合には、その旨の制御命令D1がコマンドレジスタ17aに書き込まれる。この制御命令D1がインターフェース制御部18に受信されると、この制御命令D1がインターフェース制御部18でデコードされ、このデコード結果であるスイッチ制御信号S1に基づいてインターフェース部13ではデータバス11が内部データバス15aに接続され、インターフェース部16ではスイッチ制御信号S2に基づいて内部データバス15aがデータバス12に接続される。

【0038】そして、データバス11から入力されたデータはメモリ制御信号S3に基づいてFIFOメモリ14aに一時記録される。これはデータバス11上のデータ転送速度とデータバス12上のデータ転送速度とを整合させるためである。このFIFOメモリ14aに最初に記録されたデータから順にメモリ制御信号S3に基づいて読み出され、インターフェース部16を通過してデータバス12に出力される。

【0039】また、データバス12からデータバス11へデータを転送する場合には、その旨の制御命令D1がコマンドレジスタ17aに書き込まれる。この制御命令D1がインターフェース制御部18に受信されると、インターフェース制御部18でデコードされたスイッチ制御信号S1に基づいてインターフェース部13ではデータバス11が内部データバス15bに接続され、インターフェース部16ではスイッチ制御信号S2に基づいて内部データバス15bがデータバス12に接続される。

タバス15bがデータバス12に接続される。

【0040】そして、データバス12から入力されたデータはメモリ制御信号S4に基づいて FIFOメモリ14bに一時記録され、データバス11及び12のデータ転送速度がマッチングされる。このFIFOメモリ14bに最初に記録されたデータから順に、メモリ制御信号S4に基づいて読み出され、インターフェース部13を通過してデータバス11に出力される。

【0041】このデータ転送が終了すると、ステータスレジスタ17bには終了ステータスデータD2が書き込まれる。なお、ステータスレジスタ17bにはインターフェース装置100自身の終了ステータスデータD2が書き込まれることは勿論のこと、この種のインターフェース装置100をデータバスを分断する節目、節目に多数配置してデータ処理システムを構築したときに、他のインターフェース装置100からの終了ステータスデータD2をも記録するようになされている。

【0042】このようにすると、システムの制御装置に對して最も近い位置に配置したインターフェース装置100のステータスレジスタ17bの記録内容を確認することで、そのデータ処理システムで端末装置に近いインターフェース装置100に与えた制御命令D1に対するデータ処理が終了したかを容易に判断することができる。

【0043】このように、本実施の形態に係るインターフェース装置100によれば、コマンドレジスタ17aに一旦、制御命令D1が書き込まれた後は、その制御命令D1に基づいてインターフェース部13、16及び内部データバス15a、15bの入出力制御及びFIFOメモリ14a、14bの書き込み読み出し制御をすることができる、インターフェース装置100に接続されたシステム上位の制御装置などと独立してデータバス11、12間でデータを転送することができる。

【0044】従って、制御命令D1を書き込んだ後は、その制御装置自らがインターフェース装置100の入出力を管理しなくても済むので、その制御装置のデータ処理負担を軽減することができる。

【0045】また、本実施の形態では制御命令D1に関して実行されたデータ転送結果を示す終了ステータスデータD2がステータスレジスタ17bに一時記録されるので、このコマンドレジスタ17bからそのデータD2を読み出すことにより、制御命令D1に関して実行されたデータの転送結果を容易に確認することができる。従って、制御装置とインターフェース装置100との間において、ハンドシェイクによるデータ処理を行うこと、及び、複数のインターフェース装置100間において、ハンドシェイクによるデータ処理を行うことができる。

【0046】続いて、本実施の形態としての3方向性のインターフェース装置200について説明をする。図3は本実施の形態としての3方向性のインターフェース装置200の構成例を示すブロック図である。

【0047】この実施形態では、内部データバス15a、15bから分岐した分岐データバスが接続され、この分岐データバスにメモリ制御手段が接続され、インターフェース部13、16によって入出力されるデータが制御命令D1に基づいて書き込み読み出し制御されるようにしたものである。なお、インターフェース装置100と同じ符号及び同じ名称のものは同じ機能を有するので、その説明を省略する。

【0048】この3方向性のインターフェース装置200には図3に示す内部バスセレクタ21が設けられる。内部バスセレクタ21は図4に示す2回路1選択用のスイッチ回路21a、單一スイッチ回路21b及び21cを有している。勿論、これらのスイッチ回路21a～21cは電界効果トランジスタやバイポーラトランジスタなどにより集積化されたトランジスタ回路を用いてもよい。

【0049】スイッチ回路21aのa点はFIFOメモリ14aの出力段の内部データバス15aに接続され、そのb点はFIFOメモリ14bの出力段の内部データバス15bに接続される。スイッチ回路21aの中性点nは分岐データバスとしての書き込み用のメモリバス22aに接続される。このメモリバス22aにはデータ用の第3のメモリとしてのFIFOメモリ23aに接続され、内部データバス15a又は15bから分岐された書き込み用のデータが一時記憶される。このFIFOメモリ23aの出力段にはメモリ制御手段24が接続され、内部データバス15a又は15bから分岐されたデータの書き込み読み出し制御が行われる。このメモリ制御手段24の外部への出力段には画像メモリ3などのデータ用のメモリが接続される。

【0050】また、メモリ制御手段24の内部への出力段にはFIFOメモリ23bが接続され、内部データバス15a又は15bへ出力するための読み出し用のデータが一時記憶される。このFIFOメモリ23bの出力段には読み出し用のメモリバス22bが接続される。このメモリバス22bはスイッチ回路21b、21cの接点nに接続される。スイッチ回路21bのa点は内部データバス15aを通じてインターフェース部16の入力段に接続され、スイッチ回路21cのb点は内部データバス15bを通じてインターフェース部13の入力段に接続される。

【0051】上述のインターフェース部13又はインターフェース部16内にはインターフェース制御部18に代わってインターフェース制御部28が設けられる。インターフェース制御部28はアドレスレジスタ28a、デコーダ28b及びタイミング発生回路28cを有しており、これらの機能はインターフェース制御部18のアドレスレジスタ18a、デコーダ18b及びタイミング発生回路18cとはほぼ同じである。このインターフェース制御部28では、コマンドレジスタ17aに記録された制御命令D1

11

に基づいてFIFOメモリ14a, 14b及び23a, 23bのデータ書き込み読み出し制御と、インターフェース部13、16、内部データバス15a, 15bの入出力制御と、スイッチ回路21a～21cのスイッチ制御などが行われる。

【0052】インターフェース制御部28ではインターフェース制御部18と同様に制御命令D1をデコードしてスイッチ制御信号S1～S4を発生する他に、タイミング発生回路28cによって、スイッチ回路21aのバス切換えに使用されるスイッチ制御信号S5と、スイッチ回路21bのバス切換えに使用されるスイッチ制御信号S6と、FIFOメモリ23aの書き込み読み出しに使用されるメモリ制御信号S7と、FIFOメモリ23bの書き込み読み出しに使用されるメモリ制御信号S8と、スイッチ回路21cのバス短絡に使用されるスイッチ制御信号S9などが発生される。

【0053】次に、図4を参照しながら、インターフェース装置200の動作を説明する。この例では以下の9つのデータ転送事象に関する制御命令D1がコマンドレジスタ17aに書き込まれるようになされたものである。このデータ転送事象は、

- ① データバス11からデータバス12へデータを転送（データスルー）する場合、
- ② データバス11から画像メモリ3へデータを書き込む場合、
- ③ データバス11から画像メモリ3へデータを書き込むと同時にデータバス12へ同じデータを転送する場合、
- ④ データバス12からデータバス11へデータを転送（データスルー）する場合、
- ⑤ データバス12から画像メモリ3へデータを書き込む場合、
- ⑥ データバス12から画像メモリ3へデータを書き込むと同時にデータバス11へ同じデータを転送する場合、
- ⑦ 画像メモリ3からデータバス11へデータを読み出す場合、
- ⑧ 画像メモリ3からデータバス12へデータを読み出す場合、及び
- ⑨ 画像メモリ3からデータバス11及びデータバス12へ同じデータを読み出す場合である。

【0054】例えば、データ転送事象①に関する制御命令D1がコマンドレジスタ17aに書き込まれた場合には、この制御命令D1がインターフェース制御部28に受信されると、この制御命令D1がインターフェース制御部28でデコードされ、このデコード結果であるスイッチ制御信号S1に基づいてインターフェース部13ではデータバス11が内部データバス15aに接続され、インターフェース部16ではスイッチ制御信号S2に基づいて内部データバス15aがデータバス12に接続される。

12

【0055】スイッチ回路21aではスイッチ制御信号S5に基づいてメモリバス22aが内部データバス15aから切り離され、同様にスイッチ回路21aではスイッチ制御信号S6に基づいてメモリバス22bが内部データバス15bから切り離される。そして、データバス11から入力されたデータはメモリ制御信号S3に基づいてFIFOメモリ14aに一時記録される。このFIFOメモリ14aに最初に記録されたデータから順にメモリ制御信号S3に基づいて読み出され、インターフェース部16を通過してデータバス12に出力される。これによりデータバス11からデータバス12へデータを転送（データスルー）することができる。

【0056】また、データ転送事象②に関する制御命令D1がコマンドレジスタ17aに書き込まれた場合には、インターフェース制御部28でデコードされたスイッチ制御信号S1に基づいてデータバス11が内部データバス15aに接続され、スイッチ回路21aではスイッチ制御信号S5に基づいてメモリバス22aと内部データバス15aとが接続される。

【0057】そして、データバス11から入力されたデータはメモリ制御信号S3に基づいてFIFOメモリ14aに一時記録される。このFIFOメモリ14aに最初に記録されたデータから順にFIFOメモリ23aに記録される。FIFOメモリ23aに記録されたデータはメモリ制御信号S7に基づいて読み出され、画像メモリ3に書き込まれる。

【0058】このとき、メモリバス22bは内部データバス15bから切り離されたままである。この場合にデータバス12と内部データバス15a, 15bとはどのような接続の仕方をしていてもよい。これにより、データバス11から画像メモリ3へデータを書き込むことができる。

【0059】更に、データ転送事象③に関する制御命令D1がコマンドレジスタ17aに書き込まれた場合には、インターフェース制御部28でデコードされたスイッチ制御信号S1に基づいてデータバス11が内部データバス15aに接続され、スイッチ制御信号S2に基づいて内部データバス15aがデータバス12に接続される。スイッチ回路21aではスイッチ制御信号S5に基づいてメモリバス22aと内部データバス15aとが接続される。

【0060】そして、データバス11から入力されたデータはメモリ制御信号S3に基づいてFIFOメモリ14aに一時記録される。このFIFOメモリ14aに最初に記録されたデータから順にFIFOメモリ23aに記録される。これと共に、FIFOメモリ14aに記録されたデータがデータバス12に出力される。FIFOメモリ23aに記録されたデータはメモリ制御信号S7に基づいて読み出され、画像メモリ3に書き込まれる。これにより、データバス11から画像メモリ3へデータ

を書き込むと同時にデータバス12へ同じデータを転送することができる。

【0061】また、データ転送事象④に関する制御命令D1がコマンドレジスタ17aに書き込まれた場合には、インタフェース制御部28でデコードされたスイッチ制御信号S1に基づいてデータバス11が内部データバス15bに接続され、スイッチ制御信号S2に基づいて内部データバス15bがデータバス12に接続される。

【0062】スイッチ回路21aではスイッチ制御信号S5に基づいてメモリバス22aが内部データバス15aから切り離され、同様にスイッチ回路21aではスイッチ制御信号S6に基づいてメモリバス22bが内部データバス15bから切り離される。そして、データバス12から入力されたデータはメモリ制御信号S4に基づいてFIFOメモリ14bに一時記録される。このFIFOメモリ14bに最初に記録されたデータから順にメモリ制御信号S4に基づいて読み出され、インタフェース部13を通過してデータバス11に出力される。これによりデータバス12からデータバス11へデータを転送(データスル)することができる。

【0063】次に、データ転送事象⑤に関する制御命令D1がコマンドレジスタ17aに書き込まれた場合には、インタフェース制御部28でデコードされたスイッチ制御信号S2に基づいてデータバス12が内部データバス15bに接続され、スイッチ回路21aではスイッチ制御信号S5に基づいてメモリバス22aと内部データバス15aとが接続される。

【0064】そして、データバス12から入力されたデータはメモリ制御信号S4に基づいてFIFOメモリ14bに一時記録される。このFIFOメモリ14bに最初に記録されたデータから順にFIFOメモリ23aに記録される。FIFOメモリ23aに記録されたデータはメモリ制御信号S7に基づいて読み出され、画像メモリ3に書き込まれる。

【0065】このとき、メモリバス22bは内部データバス15bから切り離されたままである。この場合にデータバス11と内部データバス15a, 15bとはどのような接続の仕方をしていてもよい。これにより、データバス12から画像メモリ3へデータを書き込むことができる。

【0066】データ転送事象⑥に関する制御命令D1がコマンドレジスタ17aに書き込まれた場合には、インタフェース制御部28でデコードされたスイッチ制御信号S1に基づいてデータバス11が内部データバス15bに接続され、スイッチ制御信号S2に基づいて内部データバス15bがデータバス12に接続される。スイッチ回路21aではスイッチ制御信号S5に基づいてメモリバス22aと内部データバス15aとが接続される。

【0067】そして、データバス12から入力されたデ

ータはメモリ制御信号S4に基づいてFIFOメモリ14bに一時記録される。このFIFOメモリ14bに最初に記録されたデータから順にFIFOメモリ23aに記録される。これと共に、FIFOメモリ14bに記録されたデータがデータバス11に出力される。FIFOメモリ23aに記録されたデータはメモリ制御信号S7に基づいて読み出され、画像メモリ3に書き込まれる。これにより、データバス12から画像メモリ3へデータを書き込むと同時にデータバス11へ同じデータを転送することができる。

【0068】データ転送事象⑦に関する制御命令D1がコマンドレジスタ17aに書き込まれた場合には、インタフェース制御部28でデコードされたスイッチ制御信号S1に基づいてデータバス11が内部データバス15bに接続され、スイッチ回路21bではスイッチ制御信号S6に基づいてメモリバス22bと内部データバス15bとが接続される。この例ではスイッチ制御信号S9によってスイッチ回路21cがオンされる。

【0069】そして、画像メモリ3から読み出されたデータはメモリ制御信号S8に基づいてFIFOメモリ23bに一時記録される。このFIFOメモリ23bに最初に記録されたデータから順にインタフェース部13を通過してデータバス11に出力される。このとき、メモリバス22aは内部データバス15bから切り離された状態である。この場合に、内部データバス15bはスイッチ制御信号S2に基づいてデータバス12から切り離されている。これにより、画像メモリ3からデータバス11へデータを読み出すことができる。

【0070】データ転送事象⑧に関する制御命令D1がコマンドレジスタ17aに書き込まれた場合には、インタフェース制御部28でデコードされたスイッチ制御信号S1に基づいてデータバス11が内部データバス15aから切り離され、スイッチ回路21bではスイッチ制御信号S6に基づいてメモリバス22bと内部データバス15aとが接続される。

【0071】そして、画像メモリ3から読み出されたデータはメモリ制御信号S8に基づいてFIFOメモリ23bに一時記録される。このFIFOメモリ23bに最初に記録されたデータから順にインタフェース部16を通過してデータバス12に出力される。このとき、メモリバス22aは内部データバス15bから切り離された状態である。この場合に、内部データバス15aはスイッチ制御信号S1に基づいてデータバス11から切り離されている。これにより、画像メモリ3からデータバス12へデータを読み出すことができる。なお、データ転送事象①～⑧、⑨に関する制御命令D1を実行する場合には、スイッチ制御信号S9によってスイッチ回路21cをオフした状態が保たれる。

【0072】⑨に関する制御命令D1がコマンドレジスタ17aに書き込まれた場合には、インタフェース制御

部28でデコードされたスイッチ制御信号S1に基づいてデータバス11が内部データバス15bに接続されると共に、スイッチ制御信号S2に基づいてデータバス12が内部データバス15aに接続される。しかも、スイッチ回路21bではスイッチ制御信号S6に基づいてメモリバス22bと内部データバス15aとが接続され、スイッチ制御信号S9に基づいてスイッチ回路21cがオンされて内部データバス15a及び15bが短絡される。

【0073】そして、画像メモリ3から読み出されたデータはメモリ制御信号S8に基づいてFIFOメモリ23bに一時記録される。このFIFOメモリ23bに最初に記録されたデータから順にインターフェース部13を通ってデータバス11に出力されると共に、インターフェース部16を通ってデータバス12に出力される。このとき、メモリバス22aは内部データバス15a、15bから切り離された状態である。これにより、画像メモリ3からデータバス11及びデータバス12へ同じデータを読み出すことができる。これらのいずれかのデータ転送事象①～⑨が終了すると、ステータスレジスタ17bにはデータ転送結果を通知するために終了ステータスデータD2が書き込まれる。

【0074】このように、本実施の形態としての3方向性のインターフェース装置200によれば、システムの制御装置からコマンドレジスタ17aに制御命令D1が書き込まれた後は、制御装置と独立してデータバス11から画像メモリ3などへデータを書き込んだり、この画像メモリ3からデータバス12上にデータを読み出すことができる。

【0075】従って、オフィースコンピュータシステムや画像形成装置などのデータ処理システムを構築する場合であって、1つのデータバスを2つに分断し、この2つのデータバス11、12間でデータ転送をする場合などは、本実施の形態としての双方向性のインターフェース装置100を2つのデータバス11、12の間に配置するように設計する。

【0076】また、唯一の画像メモリ3とデータバス11との間でデータの書き込み読み出をしたり、その画像メモリ3とデータバス12との間でデータの書き込み読み出をしたり、及び、データバス11、12間でデータ転送をする場合などは、本実施の形態としての3方向性のインターフェース装置200を画像メモリ3、データバス11及び12間に配置するようにする。そして、これらのインターフェース装置100、200内にコマンドレジスタ17aを設け、このコマンドレジスタ17aに制御命令D1を書き込むようにしてインターフェース装置100や200の入出力を制御するようになるとよい。

【0077】続いて、インターフェース装置100や200を用いたデータ処理装置について説明する。

【0078】(2) データ処理装置の構成例

図5は本実施の形態としてのデータ処理装置300の構成例を示すブロック図である。

【0079】この実施形態では図5に示す主記憶装置30と、2つに分断されたデータバスA、B間に3方向性のインターフェース装置200を接続して、一方のデータバスBに接続された端末装置40が主記憶装置30との間でデータの書き込み読み出しを行っているときは、他方のデータバスAを主制御装置10に開放できるようにすると共に、各々のデータバスA又はBに接続された主制御装置10、副制御装置20及び端末装置40、50などによって主記憶装置30を時系列的若しくは同時に共用できるようにしたものである。

【0080】このデータ処理装置300にはデータ用のメモリとしての図5に示す主記憶装置30が設けられる。この主記憶装置30には上述した3方向性のインターフェース装置200が接続され、その内部のコマンドレジスタ17aに書き込まれた制御命令D1によって、この主記憶装置30とデータバスAとの間でデータの書き込み読み出をしたり、主記憶装置30とデータバスBとの間でデータの書き込み読み出をしたり、及び、2つのデータバスA、B間でデータ転送がなされる。

【0081】この例で、データバスAには2つの双方向性のインターフェース装置101及び102が設けられる。一方のインターフェース装置101はデータバスAに接続されて他方のインターフェース装置102及び3方向性のインターフェース装置200に接続されると共に、CPUバス1aを通じて外部機器としての主制御装置10に接続される。

【0082】他方のインターフェース装置102は同様にデータバスAに接続されて3方向性のインターフェース装置200に接続されると共に、CPUバス1bを通じて外部機器としての副制御装置20に接続される。更に、データバスAには第1の調停手段としてのバス調停手段60が接続され、データ衝突が生じないようにインターフェース装置101及び102のバス使用権の調停がなされる。

【0083】また、データバスBにも2つの双方向性のインターフェース装置103及び104が設けられる。一方のインターフェース装置103はデータバスBに接続されて他方のインターフェース装置104及び3方向性のインターフェース装置200に接続されると共に、端末用のバス40aを通じて外部機器としての端末装置40に接続される。

【0084】他方のインターフェース装置104は同様にデータバスBに接続されて3方向性のインターフェース装置200に接続されると共に、端末用のバス50aを通じて外部機器としての端末装置50に接続される。更に、データバスBには第2の調停手段としてのバス調停手段70が接続され、インターフェース装置103及び104のバス使用権の調停がなされる。

【0085】上述したインターフェース装置101～104はいずれも本実施の形態としての双方向性のインターフェース装置100が使用され、内部に設けられたコマンドレジスタ17aに書き込まれた制御命令D1によって、データ転送制御がなされる。この例では、少なくともデータバスAと主記憶装置30の間でデータ転送を行うとき、主記憶装置30とデータバスBとの間でデータ転送を行うとき、または、データバスA、B間でデータ転送を行うときに、インターフェース装置200内のコマンドレジスタ17aに制御命令D1が書き込まれる。この制御命令D1は主制御装置10又は副制御装置20によって書き込まれる。

【0086】次に、データ処理装置300の動作を説明する。例えば、端末装置40から主記憶装置30にデータを書き込む場合を想定して説明をする。この場合には、上述したデータ転送事象⑤に関する制御命令D1がインターフェース装置200のコマンドレジスタ17aに書き込まれる。

【0087】これに先立っては、まず、主制御装置10からインターフェース装置101内の図示ないコマンドレジスタ17a及びインターフェース装置200内の以下図示ないコマンドレジスタ17aにはデータ転送事象④に関する制御命令D1が書き込まれる。次に、主制御装置10からインターフェース装置103にデータ転送事象④に関する制御命令D1が書き込まれ、その後、インターフェース装置200にデータ転送事象⑤に関する制御命令D1が書き込まれる。

【0088】インターフェース装置101、200及び103で各々の制御命令D1がデコードされると、インターフェース装置103ではデータバスBと端末用のバス40aとが接続され、インターフェース装置200ではデータバスBとメモリバス30aとが接続される。各々のインターフェース装置101、200及び103の内部での動作は上述した通りである。例えば、インターフェース装置103及び200の接続動作により、端末装置40からデータバスBを経由して主記憶装置30へデータを書き込むことができる。

【0089】この例では端末装置40から主記憶装置30へデータを書き込んでいるとき、及び、主記憶装置30から端末装置50にデータを読み出しているときは、3方向性のインターフェース装置200によって、データバスAがデータバスBから切り離されるので、データバスAを主制御装置10や副制御装置20に開放することができる。これにより、データバスAに接続された主制御装置10が、インターフェース装置101及び102を通して副制御装置20と他のデータのやりとりを行うことができる。

【0090】また、上述したデータ転送事象⑤に関する制御命令D1に基づいて主記憶装置30から読み出された同じデータを主制御装置10を始め、副制御装置20

及び端末装置50などに転送することができる。これにより、データバスAに接続された主制御装置10や副制御装置20と、データバスBに接続された端末装置40及び50とで主記憶装置30を時系列的若しくは同時に共用することができる。

【0091】このように本実施の形態としてのデータ処理装置300によれば、双方向性のインターフェース装置101～104及び3方向性のインターフェース装置200によって2つのデータバスA、Bを時系列的に入出力制御することができるので、従来方式の画像形成装置500のような1本のCPUバス1を2つに分断したデータ転送制御をすることができる。

【0092】続いて、データ処理装置300を応用した画像形成装置について説明する。

【0093】(3) データ処理装置の応用例

図6は本実施の形態としての画像形成装置400の構成例を示すブロック図である。この実施形態では、図7に示す画像メモリ3と2つに分断されたデータバスA、Bにメモリ用のバスプリッジ201を接続し、このバスプリッジ201に制御命令D1を与えた後は、この制御命令D1によってスキャナ部42及びプリンタ部52をCPU2aとは独立して時系列的に入出力を制御するようにして、この間にCPU2aが他のデータ処理を実行できるようになされたものである。

【0094】この画像形成装置400には3方向性のインターフェース手段としての図6に示すバスプリッジ201が設けられる。このバスプリッジ201には本実施の形態に係る3方向性のインターフェース装置200が使用される。

【0095】このバスプリッジ201には画像メモリ3が接続され、原稿などの画像データが一時記憶される。この例ではバスプリッジ201内のコマンドレジスタ17aに書き込まれた制御命令D1によって、この画像メモリ3とデータバスAとの間で画像データの書き込み読み出をしたり、画像メモリ3とデータバスBとの間で画像データの書き込み読み出をしたり、及び、2つのデータバスA、B間で画像データ転送がなされる。

【0096】この例で、データバスAには2つの双方向性のバスプリッジ31及び32が設けられる。一方のバスプリッジ31はデータバスAに接続されて他方のバスプリッジ32及びメモリ用のバスプリッジ201に接続されると共に、CPUバス1aを通じてCPU2aに接続される。CPU2aには従来方式と同様に、ROM2b、RAM2c及び操作部2dが接続され、画像形成装置400の全体制御が行われる。これらの機能については説明を省略する(図7参照)。

【0097】他方のバスプリッジ32はデータバスAに接続されてバスプリッジ201に接続されると共に、CPUバス1bを通じて通信モジュなどを制御するCPU25に接続される。CPUバス1bに接続されたROM

26及びRAM27はCPU25をサポートするものである。更に、データバスAには第1の調停手段としてのバスアービタ61が接続され、データ衝突が生じないようにバスブリッジ31及びバスブリッジ32のバス使用権の調停がなされる。

【0098】また、データバスBにも2つの双方向性のバスブリッジ33及び34が設けられる。一方のバスブリッジ33はデータバスBに接続されて他方のバスブリッジ34及びバスブリッジ201に接続されると共に、スキャナ用のバス41を通して画像取得手段としてのスキャナ部42に接続される。スキャナ部41ではバスブリッジ33の入力制御に基づいて原稿の画像が取得され、その原稿の画像データが出力される。

【0099】他方のバスブリッジ34は同様にデータバスBに接続されてバスブリッジ201に接続されると共に、プリンタ用のバス51を通して画像再生手段としてのプリンタ部52に接続される。プリンタ部52ではバスブリッジ34の出力制御に基づいて画像データが与えられ、その画像データに基づいて原稿の画像が再生される。更に、データバスBには第2の調停手段としてのバスアービタ71が接続され、バスブリッジ33及び34のバス使用権の調停がなされる。

【0100】上述したバスブリッジ101～104はいずれも本実施の形態としての双方向性のインタフェース装置100が使用され、内部に設けられたコマンドレジスタ17aに書き込まれた制御命令D1によって、データ転送制御がなされる。この例では、少なくともデータバスAと画像メモリ3の間でデータ転送を行うとき、画像メモリ3とデータバスBとの間でデータ転送を行うとき、または、データバスA、B間でデータ転送を行うときに、バスブリッジ201内のコマンドレジスタ17aに制御命令D1が書き込まれる。

【0101】この例では制御命令D1がCPU2a又はCPU25によってバスブリッジ201に書き込まれた後は、この制御命令D1によってスキャナ部42及びプリンタ部52が時系列的に入出力制御されるようにしたものである。

【0102】次に、本実施の形態としての画像形成装置400の動作を説明する。始めに、单一(1ページ)の原稿をコピーする場合について説明する。この例ではスキャナ部42で取得された原稿の画像データが一旦、画像メモリ3に転送され、その後、画像メモリ3から画像データが読み出されてプリンタ部52に供給される場合を想定して説明する。

【0103】例えば、操作部2dからCPU2aに1ページのコピーが指示されると、CPU2aはスキャナ部42を駆動するためにバスブリッジ33に対してスキャナ駆動指示をする。このとき、バスブリッジ33とCPU2aとは直接データバスA、Bが接続されていないので、バスブリッジ31とバスブリッジ201を介してス

キャナ駆動指示が送られる。

【0104】このスキャナ駆動指示に際して、CPU2aからバスブリッジ31へ制御命令D1が送出される。この際に、CPU2aで発生されるアドレスは予めマッピングされたバスブリッジ31を示している。従って、バスブリッジ31はこの制御命令D1及びアドレスをデータバスAにドライブする。このデータバスAに接続されたバスブリッジ201では、この制御命令D1に付されたアドレスがデータバスBに接続されたバスブリッジ33を指定するものなので、この制御命令D1及びアドレスがデータバスBにドライブされる。これにより、バスブリッジ33ではバスブリッジ201からの制御命令D1及びアドレスが受信され、スキャナ部42の駆動制御が行われる。

【0105】次に、CPU2aからバスブリッジ33に対して、スキャナ部42から出力される画像データの転送先、転送バイト数などが指示される。このとき、上述したようにCPU2aはCPUバス1aを通して、データバスA上にバスブリッジ33のアドレスと画像データの格納先などを指示する制御命令D1がドライブされる。これにより、バスブリッジ31及びバスブリッジ201を通じて、制御命令D1がバスブリッジ33に転送される。この制御命令D1を受け取ったバスブリッジ33では、スキャナ部42からの画像データを指示された画像メモリ3のアドレスに書き込むべき準備が開始される。

【0106】この書き込みに際して、バスブリッジ33はバスアービタ71に対してデータバスBの使用を要求する。バスアービタ71は内蔵する所定のアルゴリズムに従って、その時の最優先のバス使用要求に対してデータバスBの使用を許可する。この場合は、バスブリッジ201及びバスブリッジ34からバス使用要求がなされていないので、バスブリッジ33に対してデータバスBの使用が許可される。許可を受けたバスブリッジ33では、指定された画像メモリ3のアドレスがデータバスBにドライブされる。

【0107】この画像メモリ3のアドレスを受けたバスブリッジ201では、制御命令D1をデコードすることにより、画像メモリ3に対するアクセスであることが検知される。従って、データバスB上にドライブされた画像データが、バスブリッジ201の上述した内部データバス15b及びFIFOメモリ23aを通じて画像メモリ3に格納される(図4参照)。

【0108】ここで、CPU2aのアドレスマップ上で画像メモリ3のアドレスとバスブリッジ34のアドレスとを同じ値に設定すると、スキャナ部42からの画像データを画像メモリ3に格納しつつ、プリンタ部52によって同時に原稿の画像をプリントアウトすることができる。

【0109】このバスブリッジ33によって、CPU2

aより指定された転送バイト数の画像データが画像メモリ3に格納されている間は、CPUバス1a及びデータバスAは画像データの転送には使用されていないので、CPU2aやCPU25等は新たに指示された通信処理などのジョブを処理することができる。

【0110】そして、指定されたバイト数分の画像データの転送が終了すると、バスプリッジ33はCPU2aに対してデータ転送終了を通知する。このとき、バスプリッジ33ではバスプリッジ31内のステータスレジスタ17bに終了ステータスデータD2を記録するため、バスプリッジ31のアドレスを指示すべくデータバスBがドライブされる。

【0111】このデータバスBがドライブされるので、バスプリッジ201ではアドレスがデコードされ、バスプリッジ31のアドレスと終了ステータスデータD2とがデータバスAにドライブされる。これにより、バスプリッジ31では当該バスプリッジ自身宛のアドレスがドライブされているので、終了ステータスデータD2が上述したステータスレジスタ17bに格納される。

【0112】このバスプリッジ31ではステータスレジスタ17bの内容が変化するので、この内容がCPU2aに通知される。従って、CPU2aはバスプリッジ31のレジスタ17bをリードすることにより、スキャナ部42から画像メモリ3への画像データの転送が終了したことを検知することができる。

【0113】このデータ転送終了通知を受け取ったCPU2aは、今度はバスプリッジ34に対してプリンタ部52の起動を指示する。このとき、CPUバス1aにドライブされたアドレスはバスプリッジ34を指示するものである。従って、バスプリッジ34に対する制御命令D1はバスプリッジ31及びバスプリッジ201を通して、バスプリッジ34のコマンドレジスタ17aに格納される。その後、CPU2aからバスプリッジ34に対して、画像データの格納元、そのバイト数が指示され、プリント開始の準備がなされる。

【0114】そして、バスプリッジ34ではデータ転送のためにバスアービタ71に対してデータバスBの使用が要求される。この要求を受けたバスアービタ71では所定のアルゴリズムに従って、その時最優先のバス使用要求に対して許可が与えられる。この場合は、バスプリッジ201及びバスプリッジ33からのバス使用要求がないので、バスプリッジ34に対してデータバスBの使用の許可が与えられる。この許可を受けたバスプリッジ34では画像メモリ3のアドレスがデータバスBにドライブされる。

【0115】この画像メモリ3のアドレスを受けたバスプリッジ201では、このアドレスがデコードされ、このデコード結果によって画像メモリ3に対するアクセスであることが検知される。これにより、バスプリッジ201ではCPU2aによって指定されたアドレスの画像

メモリ3から画像データが読み出され、その画像データがデータバスB上にドライブされる。このデータバスB上にドライブされた画像データがバスプリッジ34によって取り込まれ、その画像データがプリンタ部52に出力される。

【0116】このバスプリッジ34では、指定されたバイト分だけプリントアウトが済むと、上述したバスプリッジ31内のステータスレジスタ17bに転送終了ステータスが格納される。このように、バスプリッジ33に起動コマンドを送ってから原稿の1ページのコピー終了まで、CPUバス1a及びデータバスAをCPU2aの次のジョブのために使用することができる。

【0117】次に、原稿が複数枚で、しかも、複数部の転写紙にコピーする場合について説明する。この場合も、操作部2dからの指示によりCPU2aはバスプリッジ33に対してスキャナ部42の駆動制御のための制御命令D1を送る。さらに、スキャナ部42で読み取られた画像データの格納先アドレス及び読み込みバイト数が設定され、画像データの読み取りが開始される。このとき、前述したように、バスプリッジ34のアドレスを画像メモリ3のアドレスと同一に設定することにより、読み込まれた画像データをプリントアウトしながら画像メモリ3に格納することもできる。

【0118】この例では原稿の第1ページ目の画像データの読み込みが終了したら、CPU2aはバスプリッジ34に対してプリンタ部52の起動を指示する。また、このとき、画像メモリ3に1ページ分のメモリ領域に空きがあれば、CPU2aはバスプリッジ33に対して第2ページ目の読み込みの開始を指示する。各プリッジ33、34はバスアービタ71に対してデータバスBの使用を要求する。この許可を受け取ったバスプリッジ33又は34が上述したようなデータ転送が行われる。上述した同一動作を第1ページ目の原稿の枚数分だけ行われると、第1ページ目の原稿の1部コピーが終了する。複数部のコピーをとるためにには、バスプリッジ34に対して順次起動をかけ、予め設定された部数のコピーが終了する。

【0119】このようにして、本実施の形態としての画像形成装置400によれば、CPU2aとは独立してメモリ専用のバスプリッジ201により画像データの入出力制御を行うことができるので、スキャナ部42が画像メモリ3に画像データを書き込んでいるときに、同時に、スキャナ部42からの画像データに基づいてプリンタ部42で、原稿の画像を複写することができる。従って、CPU2aからバスプリッジ201へ制御命令D1が与えられた後は、CPU2aに通信処理などの他のデータ処理を実行させることができる。

【0120】この例ではCPU25に通信手段38が接続され、スキャナ部42による原稿の画像データが通信回線39に送信され、又は通信回線39を使用して送ら

23

れてくる原稿の画像データが受信される。この通信手段38によって受信された原稿の画像データをプリンタ部52により再生出力するようにしてよい。

【0121】なお、CPU2aとCPU25とは同一のものであっても構わない。CPU2aとCPU25が同一の場合には、バスプリッジ31とバスプリッジ32とを同一構成とすることができる。ROM2bなどに設備するアドレスマップ内容が簡略化する。

【0122】本実施の形態では、スキャナ部42及びプリンタ部52などによって画像メモリ3を共用できるので、従来方式のようなページメモリが不要となると共に、画像メモリ3の使用効率が向上する。

【0123】また、従来方式のような1つのデータバスをA、Bの2つに分けることができたので、CPU2aとの影響を懸念することなく、DMACを導入することができる。従って、バスプリッジ31～34内のインターフェース制御部18やバスプリッジ201内のインターフェース制御部28にDMAC機能を備えることにより、画像データなどの転送速度の高速化が図れる。

【0124】

【発明の効果】以上説明したように、本発明のインターフェース装置によれば、制御命令を一時記録する制御用のメモリが設けられ、第1及び第2のデータバス間でデータを転送するときに、その制御用のメモリに制御命令が書き込まれるようになされたものである。

【0125】この構成によって、制御用のメモリに一旦、制御命令が書き込まれた後は、その制御命令に基づいて第1のインターフェース部、第2のインターフェース部及び内部データバスを入出力制御することができるので、本インターフェース装置に接続されたシステム上位の制御装置などと独立して第1及び第2のデータバス間でデータを転送することができる。

【0126】また、本発明に係るデータ処理システムによれば、データ用のメモリ、第1及び第2のデータバス間に3方向性のインターフェース手段を配置し、インターフェース手段内に制御用のメモリを設け、この制御用のメモリに制御命令を書き込むようになされたものである。

【0127】この構成によって、制御用のメモリに制御命令を書き込んだ後は、その制御装置自らが本インターフ

24

エース装置の入出力を管理しなくても済むので、システム上位の制御装置などのデータ処理負担を軽減することができる。

【0128】この発明は複写機やプリンタ、ファクシミリなどの画像処理装置に適用して極めて好適である。

【図面の簡単な説明】

【図1】本発明の実施の形態としてのインターフェース装置100の構成例を示すブロック図である。

【図2】インターフェース装置100の動作例を示す構成図である。

【図3】本発明の実施の形態としての3方向性のインターフェース装置200の構成例を示すブロック図である。

【図4】インターフェース装置200の動作例を示す構成図である。

【図5】本発明の実施の形態としてのデータ処理装置300の構成例を示すブロック図である。

【図6】本発明の実施の形態としての画像形成装置400の構成例を示すブロック図である。

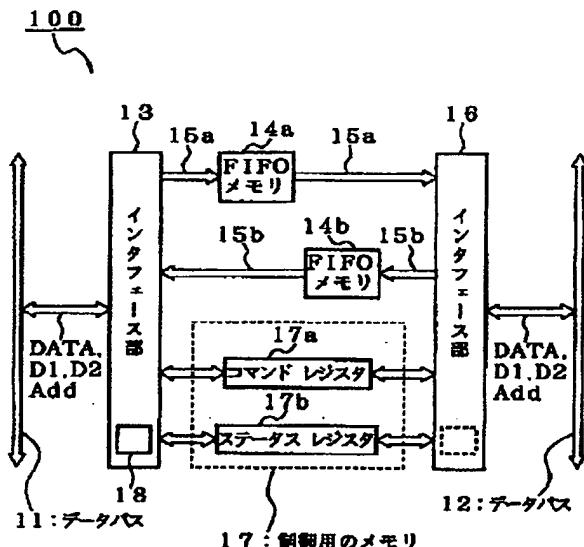
【図7】従来方式の画像形成装置500の構成例を示すブロック図である。

【符号の説明】

- 1 CPUバス
- 2 システム制御手段
- 3 画像メモリ
- 5 画像取得手段
- 6 画像再生手段
- 10 主制御装置
- 13, 16 インタフェース部
- 17 制御用のメモリ
- 17a コマンドレジスタ
- 17b ステータスレジスタ
- 20 副制御装置
- 21 内部バスセレクタ
- 24 メモリ制御手段
- 28 インタフェース制御部
- 30 主記憶装置
- 31～34, 201 バスプリッジ
- 60, 70 バス調停手段
- 100, 200 インタフェース装置

【図1】

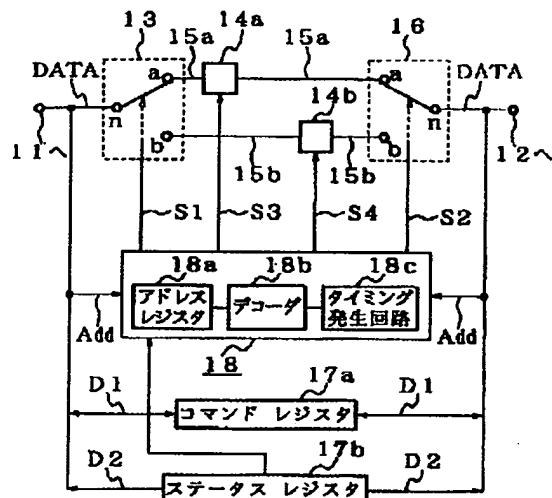
実施形態としてのインターフェース装置100の構成例



DATA : データ
D1 : 制御命令
D2 : 制御通知情報 (終了ステータスデータ)
Add : アドレス

【図2】

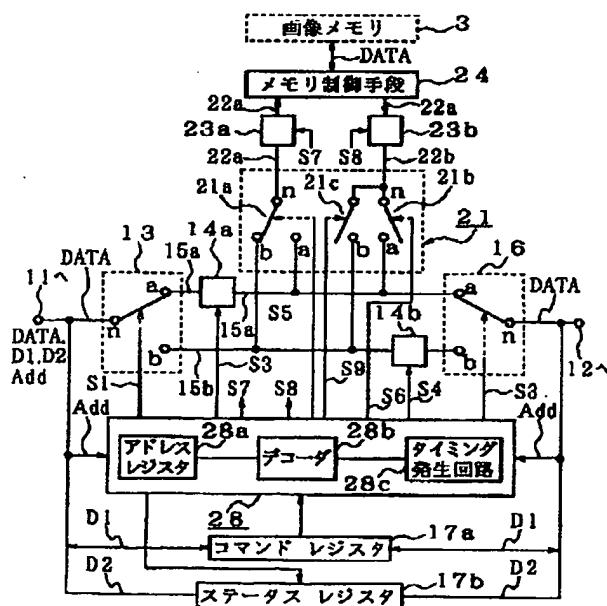
インターフェース装置100の動作例



18 : インターフェース制御部

【図4】

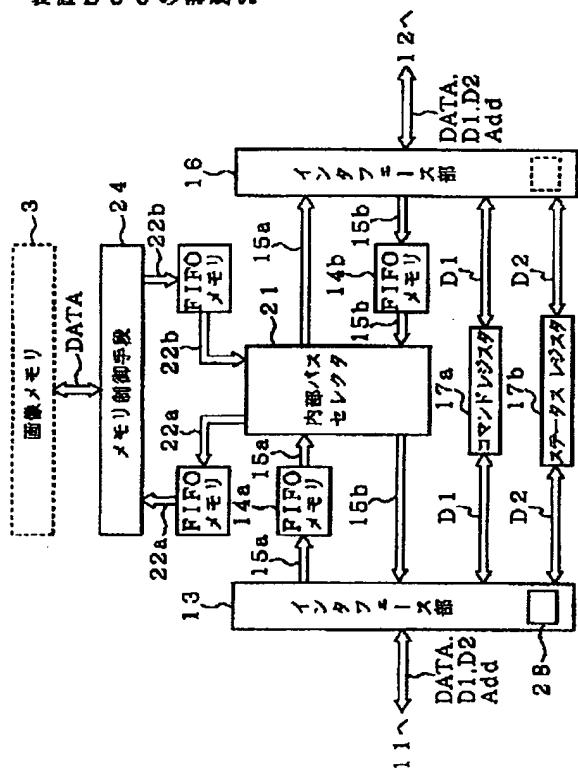
インターフェース装置200の動作例



28 : インターフェース制御部

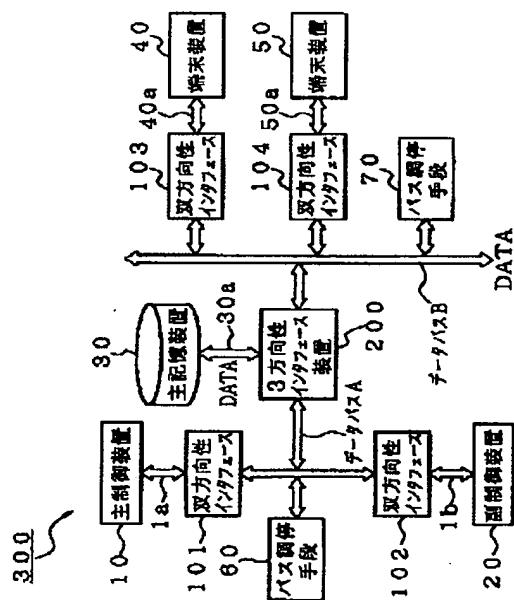
【図3】

実施の形態としての3方向性のインターフェース
装置200の構成例



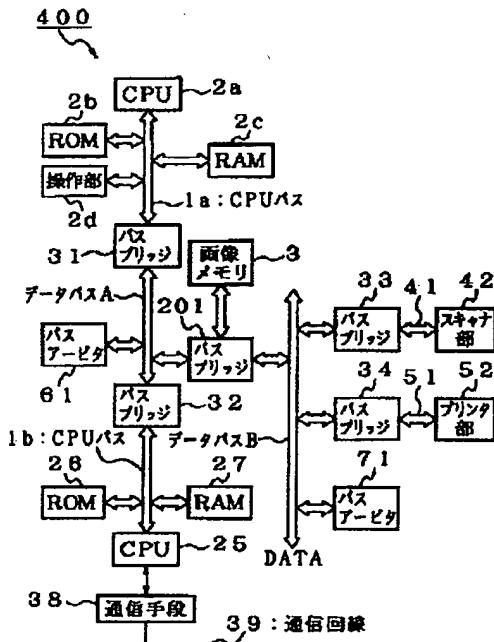
【図5】

実施の形態としてのデータ処理装置
300の構成例



【図6】

実施形態としての画像形成装置400の構成例



【図7】

従来方式の画像形成装置500の構成例

